

# LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

Publication number: JP2000098427

Publication date: 2000-04-07

Inventor: IKEDA MUNEHIRO

Applicant: NIPPON ELECTRIC CO

Classification:

- international: **G09F9/30; G02F1/1343; G02F1/136; G02F1/1362; G02F1/1368; G09F9/30; G02F1/13; (IPC1-7); G02F1/136; G02F1/1343; G09F9/30**

- European: G02F1/1362

Application number: JP19980271140 19980925

Priority number(s): JP19980271140 19980925

Also published as:

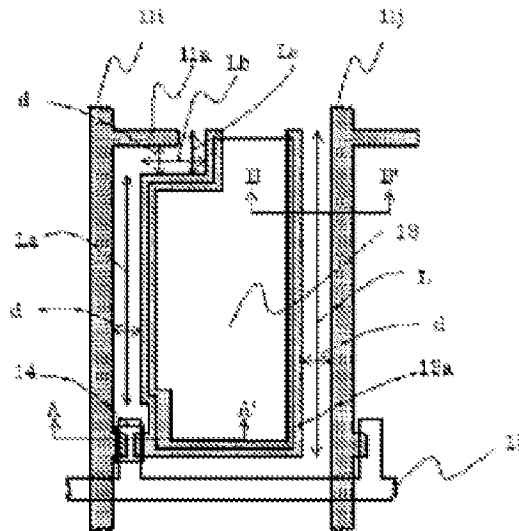
US6717630 (B1)

[Report a data error here](#)

## Abstract of JP2000098427

**PROBLEM TO BE SOLVED:** To equalize values of parasitic capacity formed among pixel electrodes and each signal line being adjacent to pixel electrodes, in a liquid crystal display device.

**SOLUTION:** A projecting part 11a extending toward a pixel electrode 13 is formed in a first signal line 11i being adjacent to the pixel electrode 13. Length of this projecting part 11a is decided so that length with which the pixel electrode 13 is adjacent to the first signal line 11i is equal to length with which the pixel electrode 13 is adjacent to the second signal line 11j. Each signal line 11i, 11j of a pixel peripheral part 13a being a region in which an outer periphery of the pixel electrode 13 is demarcated is simultaneously exposed and formed. Interval (d) between the pixel peripheral part 13a and each signal line 11i, 11j is fixed.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-98427  
(P2000-98427A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	2 H 0 9 2
	1/1343	1/1343	5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8

審査請求 有 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願平10-271140

(22) 出願日 平成10年9月25日 (1998.9.25)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 池田 宗広

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100096105

弁理士 天野 広

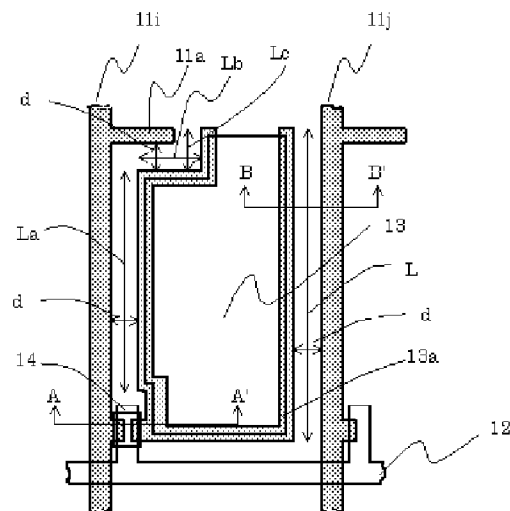
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】液晶表示装置において、画素電極と、画素電極に隣接する各信号線との間に形成される寄生容量を等しい値にする。

【解決手段】画素電極13に隣接する第一の信号線11iには、画素電極13に向かって延びる突出部11aが形成されている。この突出部11aは、画素電極13が第一の信号線11iと隣接する長さと同画素電極13が第二の信号線11jと隣接する長さと同等しくなるように、長さが決められている。画素電極13の外縁を画定している領域である画素周縁部13a各信号線11i、11jと同時に露光され、形成される。画素周縁部13aと各信号線11i、11jとの間の間隔dは一定である。



11a: 突出部  
11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
13a: 画素周縁部  
14: T F T

【特許請求の範囲】

【請求項1】 画素電極と、  
前記画素電極に隣接して前記画素電極の両側において延びる第一及び第二の信号線と、  
を備える液晶表示装置において、  
前記画素電極は、前記第一及び第二の信号線と同時に露光形成された領域を前記第一及び第二の信号線と隣接する領域として有しており、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔は、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置。

【請求項2】 画素電極と、  
前記画素電極に隣接して前記画素電極の両側において延びる第一及び第二の信号線と、  
を備える液晶表示装置において、  
前記画素電極は、前記第一及び第二の信号線と同時に露光形成された領域を前記第一及び第二の信号線と隣接する領域として有しており、  
前記第一及び第二の信号線の少なくとも何れか一方は、前記画素電極に向かって延びる突出部を有しており、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔は、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置。

【請求項3】 画素電極と、  
前記画素電極に隣接して前記画素電極の一方の側に形成された薄膜トランジスタと、  
前記画素電極に隣接して前記画素電極の前記一方の側において延びる第一の信号線と、  
前記画素電極に隣接して前記画素電極の他方の側において延びる第二の信号線と、  
を備える液晶表示装置において、  
前記画素電極は、前記第一及び第二の信号線と同時に露光形成された領域を前記第一及び第二の信号線と隣接する領域として有しており、  
前記画素電極は、前記他方の側において、前記薄膜トランジスタによって前記第一の信号線が前記画素電極と隣接できない長さと同しい長さの切り欠き部が形成され、  
前記画素電極が前記第一の信号線と隣接する長さは前記画素電極が前記第二の信号線と隣接する長さと同しく設定されており、  
前記画素電極と前記第一の信号線との間の間隔は前記画素電極と前記第二の信号線との間の間隔に等しく設定されていることを特徴とする液晶表示装置。

【請求項4】 所定の間隔だけずらして配置された複数

の画素電極と、  
前記画素電極の各々に隣接して前記画素電極の両側において延び、かつ、前記画素電極の形状に沿って屈曲部を有する第一及び第二の信号線と、  
を備える液晶表示装置において、  
前記画素電極は、前記第一及び第二の信号線と同時に露光形成された領域を前記第一及び第二の信号線と隣接する領域として有しており、  
前記第一及び第二の信号線の少なくとも何れか一方は、前記画素電極に向かって延びる突出部を有しており、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔は、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置。

【請求項5】 前記画素電極は前記第一及び第二の信号線と同一の層内において形成されていることを特徴とする請求項1乃至4の何れか一項に記載の液晶表示装置。

【請求項6】 前記画素電極は絶縁膜を介して前記第一及び第二の信号線と異なる層内において形成されていることを特徴とする請求項1乃至4の何れか一項に記載の液晶表示装置。

【請求項7】 画素電極と、前記画素電極に隣接して前記画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、  
透明基板上に走査線を形成した後、前記透明基板及び前記走査線にゲート絶縁膜を形成する過程と、  
前記走査線の上方において、前記ゲート絶縁膜上にチャネルを形成する過程と、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔が、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように前記第一及び第二の信号線を形成し、同時に、前記画素電極が前記第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、  
前記画素周縁部の内部に前記画素電極を形成する過程と、

絶縁保護膜で全体を覆う過程と、  
を備えることを特徴とする液晶表示素子の製造方法。

【請求項8】 画素電極と、前記画素電極に隣接して前記画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、  
透明基板上に走査線を形成した後、前記透明基板及び前記走査線にゲート絶縁膜を形成する過程と、  
前記走査線の上方において、前記ゲート絶縁膜上にチャネルを形成する過程と、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔が、前記画

素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように、前記第一及び第二の信号線の少なくとも何れか一方が前記画素電極に向かって延びる突出部を有するように前記第一及び第二の信号線を形成し、同時に、前記画素電極が前記第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、  
前記画素周縁部の内部に前記画素電極を形成する過程と、

絶縁保護膜で全体を覆う過程と、  
を備えることを特徴とする液晶表示素子の製造方法。

【請求項9】 画素電極と、前記画素電極に隣接して前記画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、前記透明基板及び前記走査線上にゲート絶縁膜を形成する過程と、  
前記走査線の上において、前記ゲート絶縁膜上にチャネルを形成する過程と、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔が、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように、薄膜トランジスタによって前記第一及び第二の信号線の何れか一方が前記画素電極と隣接できない長さと同じ長さの切り欠き部を、前記画素電極の前記薄膜トランジスタと接していない側において、前記画素電極が前記第一及び第二の信号線と隣接する領域としての画素周縁部に形成する過程と、  
前記画素周縁部の内部に前記画素電極を形成する過程と、

絶縁保護膜で全体を覆う過程と、  
を備えることを特徴とする液晶表示素子の製造方法。

【請求項10】 所定の間隔だけずらして配置された複数の画素電極と、前記画素電極の各々に隣接して前記画素電極の両側において延び、かつ、前記画素電極の形状に沿って屈曲部を有する第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、前記透明基板及び前記走査線上にゲート絶縁膜を形成する過程と、  
前記走査線の上において、前記ゲート絶縁膜上にチャネルを形成する過程と、  
前記画素電極が前記第一の信号線と隣接する長さ及び前記画素電極と前記第一の信号線との間の間隔が、前記画素電極が前記第二の信号線と隣接する長さ及び前記画素電極と前記第二の信号線との間の間隔にそれぞれ等しくなるように、前記第一及び第二の信号線の少なくとも何れか一方が前記画素電極に向かって延びる突出部を有するように前記第一及び第二の信号線を形成し、同時に、前記画素電極が前記第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、

前記画素周縁部の内部に前記画素電極を形成する過程と、  
絶縁保護膜で全体を覆う過程と、  
を備えることを特徴とする液晶表示素子の製造方法。

【請求項11】 絶縁保護膜で全体を覆った後に、前記画素周縁部の内部の領域の上において、前記絶縁保護膜上に前記画素電極を形成することを特徴とする請求項7乃至10の何れか一項に記載の液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその製造方法に関し、特に、画素電極と信号線との間の寄生容量のばらつきを解消させることができる液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】近年、従来の陰極線管に代わる薄型かつ低消費電力の表示装置として液晶表示装置が注目されている。特に、駆動素子としてTFT、MIM (Metal Insulator Metal) 等の非線型素子を用いた、いわゆるアクティブ・マトリックス型の液晶表示装置は、その表示の美しさから、特に注目を集めている。

【0003】1画素分の等価回路図である図10を用いて、以下、一般的な液晶表示装置の動作について説明する。

【0004】図10に示すように、薄膜トランジスタ(TFT)14は、ドレイン電極14aと、ソース電極14bと、ゲート電極14cとを備えており、ドレイン電極14aは第一信号線11iに接続され、ゲート電極14cは走査線12に接続されている。ソース電極14bには画素電極13が接続されており、画素電極13と、対向基板上に形成された対向電極33との間には、液晶剤を誘電体とする液晶容量32 (容量 $C_{LC}$ ) が形成されている。

【0005】一般に、液晶表示装置には多数の走査線12 (図10では一つのみ図示) が形成されており、それらの走査線12に順次走査信号が印加される。走査期間以外の時には、走査線12には走査信号は印加されず、ドレイン電極14aとソース電極14bとは絶縁状態にある。走査期間内においては、走査線12に走査信号が印加され、この走査信号によって、薄膜トランジスタ14のチャネルが活性化してドレイン電極14aとソース電極14bとが導通する。その際、第一信号線11iには液晶容量32に書き込むべき電位に応じた信号が印加され、液晶容量32はこの信号によって充電される。

【0006】走査期間が終了すると、走査線12には走査信号は印加されなくなり、再びドレイン電極14aとソース電極14bとは絶縁状態となる。このため、液晶容量32は充電状態が保たれ、対向電極33と画素電極

13との間に生じる電界によって、液晶の光学的状態を制御することができる。

【0007】なお、走査期間以外の期間においても、ドレイン電極14aとソース電極14bとの間には、リーク電流と呼ばれる微弱な電流が流れる。このリーク電流によって、走査期間から次の走査期間までの間に、画素電極13と対向電極33との間の電位差は減少する。電位差の減少が大きいと、コントラストの低下を招き、表示品位上好ましくない。

【0008】このため、液晶容量32と並列に補助容量34（容量 $C_s$ ）を配置し、電位差の減少を防ぐ手段が広く用いられている。図10に示した液晶表示装置においては、画素電極13と薄膜トランジスタ14との間に並列に補助容量34を設けている。

【0009】補助容量34はこれ以外の場所に設けることも可能であるが、液晶容量32と並列に設けることが必要である。

【0010】液晶表示装置は、このような画素を面内にアレイ状に並べた構成を有している。

【0011】上記のような構成を有する液晶表示装置の1画素分の平面図を図11に示す。図11においては、図の簡略化のために、図10に図示した補助容量34は示していない。

【0012】図11に示したように、一般的には、画素電極13は、2本の信号線、すなわち、第一信号線11i及び第二信号線11jに挟まれて配置される。このため、画素電極13と第一信号線11i及び第二信号線11jとが隣接する領域にそれぞれ寄生容量16i（ $C_{d-pii}$ ）、16j（ $C_{d-pij}$ ）が形成される（図10参照）。

【0013】この寄生容量16i、16jは、画素電極13が各信号線11i、11jと隣接する長さ $L_i$ 、 $L_j$ が長いほど、また、画素電極13と各信号線11i、11jとの間の間隔 $d_i$ 、 $d_j$ が短いほど、大きくなる。この寄生容量16i、16jが存在することによって、画素電極13の電位は各信号線11i、11jの電位変動に影響を受けることになる。画素電極13の電位変動 $\Delta V_{pi}$ は、次式で表わすことができる。

【0014】
$$\Delta V_{pi} = (C_{d-pii} \times \Delta V_i + C_{d-pij} \times \Delta V_j) / (C_{LC} + C_s + C_{d-pii} + C_{d-pij})$$

ここで、 $\Delta V_i$ 、 $\Delta V_j$ は信号線11i、11jの各電位変動である。

【0015】次いで、図10及び図11に示した液晶表示装置の駆動方法について以下に説明する。

【0016】液晶容量32に印加される電界の向き、すなわち、画素電極13の極性は表示更新周期ごとに反転することが望ましい。その理由は、常に極性が同じであるとすると、同じ表示を長時間行った際に表示が固定され、元に戻らなくなる現象、いわゆる「焼き付き」と呼ばれる現象が発生し、表示品位に悪影響を及ぼすためである。

ある。

【0017】また、液晶表示装置の面内においては、画素電極13の極性は一様に分布することが望ましい。その理由は、実際の液晶表示装置においては、画素電極13の極性の正負に応じて表示の明るさに微妙な差が存在し、表示の更新周期のたびに面全体の画素電極13が正負の極性を繰り返すと、それが明暗の繰り返しとなってしまう、視認性を著しく損なうからである。

【0018】このため、面内の画素電極の極性をどのように並べ、液晶表示装置をどのように駆動するか、種々の方法が考案され、実用化されている。

【0019】図12はゲートライン反転駆動と呼ばれる駆動方法において、図13はドレインライン反転駆動と呼ばれる駆動方法において、図14はドット反転駆動と呼ばれる駆動方法において、ある表示更新周期（各図の（A））とその次の表示更新周期（各図の（B））における面内の画素電極の極性の変遷の状態をそれぞれ示している。ここに、ゲートライン反転駆動とは、走査線長手方向の画素電極を同じ極性とし、表示更新周期ごとにそれらの極性を反転させる駆動方法を指し、ドレインライン反転駆動とは、信号線長手方向の画素電極を同じ極性とし、表示更新周期ごとにそれらの極性を反転させる駆動方法を指し、ドット反転駆動とは、走査線長手方向及び信号線長手方向ともに隣り合う画素電極同士がすべて逆極性となるように駆動し、表示更新周期ごとに各々の画素電極の極性を反転させる駆動方法を指す。図12、図13、図14において、「+」と記された画素電極は正極性、「-」と記された画素電極は負極性であることを表わす。

【0020】このように液晶表示装置の駆動を行った場合、信号線の電位変動は信号線の極性が反転する時に最も大きくなる。従って、その際に、画素電位が最も大きく影響を受け、輝度変動する。

【0021】ここで、図12、図13、図14に示した3種の駆動方式を見ると、ゲートライン反転駆動（図12）では隣り合う信号線が常に同極性であるのに対し、ドレインライン反転駆動（図13）とドット反転駆動（図14）では隣り合う信号線が常に逆極性となっているため、極性の反転による影響が相殺され、ゲートライン反転駆動（図12）に比べて、画素の輝度変動を少なくすることができる。

【0022】しかしながら、画素電極と各信号線との間の寄生容量 $C_{d-pii}$ と $C_{d-pij}$ とが大きく異なると、この効果は減少する。よって、信号線の電位変動による輝度の変動を最小限に抑えるためには、画素電極とそれに隣接する2本の信号線との間の各々の寄生容量の値を等しくすることが重要である。

【0023】図11に示した従来の液晶表示装置においては、前述のように、走査線12に与えられた走査信号によってTFT14がオンとなる。すなわち、TFT1

4のドレイン電極14aとソース電極14bが導通する。その際に、第一信号線11iに与えられた表示信号によって、画素電極13と対向電極(図示せず)と間の液晶容量及び補助容量(図示せず)が充電され、TFT14がオフになった後においても、電荷が保持される。この結果、表示を得ることができる。

【0024】図11に示すように、一般的に、TFT14は第一信号線11iと走査線12との交差部付近に形成される。この場合、画素電極13はTFT14との干渉を避けるため、第一信号線11iの方向に長さ $L_t$ だけ切り欠いて形成される。

【0025】このため、画素電極13と第一信号線11iとが隣接する長さ $L_i$ と、画素電極13と第二信号線11jとが隣接する長さ $L_j$ とは異なったものとなる。従って、画素電極13と各信号線11i、11jとの間の間隔 $d_i$ 、 $d_j$ が同一であるとする、画素電極13と第二信号線11jとの間に形成される寄生容量 $C_{d-pij}$ の方が画素電極13と第一信号線11iとの間に形成される寄生容量 $C_{d-pii}$ よりも大きくなり( $C_{d-pii} < C_{d-pij}$ )、信号線の電位変動によって、画素電位が影響を受ける結果となり好ましくない。

【0026】

【発明が解決しようとする課題】この問題を解決するため、特開平5-80353号公報は以下のように種々の方法を提案している。

【0027】例えば、特開平5-80353号公報は、第一の方法として、画素電極13と第二信号線11jとの間の間隔 $d_j$ を画素電極13と第一信号線11iとの間の間隔 $d_i$ よりも大きく設定することにより( $d_i < d_j$ )、単位長さ当たりの寄生容量値が第一信号線11i側で第二信号線11j側より大きくなるようにし、その結果として、両者の寄生容量値を等しくする方法を提案している。

【0028】しかしながら、この方法では、画素電極13と第一及び第二の信号線11i、11jとが別々に露光形成されるため、露光時のマスクアライメントずれによって、画素電極13と第一及び第二の信号線11i、11jとの間の間隔 $d_i$ 、 $d_j$ が必ずしも設計値通りにはならない。その結果として、両者の寄生容量値も一致せず、十分な効果を得ることができない。十分に効果を得るためには、間隔 $d_i$ 、 $d_j$ をマスクアライメントずれの影響が無視できるほど広く取らなければならないが、これは開口率(光の透過する面積の割合)を著しく低下させる結果となり現実的ではない。

【0029】また、特開平5-80353号公報は、第二の方法として、画素電極13と第二の信号線11jとの間の間隔 $d_j$ を2つの領域に分け、そのうち一方の領域では、間隔 $d_j$ を画素電極13と第一の信号線11iとの間の間隔 $d_i$ と同じとし、他方の領域では、間隔 $d_j$ を間隔 $d_i$ よりも広くすることによって、画素電極1

3と各信号線11i、11jとの間の寄生容量値を一致させる方法を提案している。

【0030】しかしながら、この第二の方法も第一の方法と同様の理由により十分な効果を得ることができない。

【0031】さらに、特開平5-80353号公報は、第三の方法として、第一信号線11iに突起を設け、第一信号線11iと画素電極13とが隣接する長さ $L_i$ と第二信号線11jと画素電極13とが隣接する長さ $L_j$ を等しくする方法を提案している。

【0032】しかしながら、この方法によっても、マスクアライメントずれの影響で両者の寄生容量値が設計値どおりに等しくならないことは前述の方法と同様である。

【0033】さらに、特開平5-80353号公報は、第四の方法として、マスクアライメントずれの影響を解決するために、信号線を一部分岐させ、分岐部と信号線の本体とが画素電極の一部を間に挟むような構造の寄生容量補償部を設ける方法を提案している。この方法によれば、マスクアライメントずれに関する問題は解決される。

【0034】しかしながら、この構造の場合、容量補償部における信号線と画素電極との間の間隔は、信号線本体と画素電極との間の間隔よりも短くする必要がある。

【0035】また、信号線と画素電極とが同層に形成されている場合、それらの短絡を防ぐためには、両者をある程度離して配置する必要があり、近づける距離には限界がある。よって、その限界距離を容量補償部に適用した場合、画素電極と信号線本体との距離はこれよりも広く取る必要があるが、このために、画素電極の面積が狭まる結果となり、開口率が低下して好ましくない。

【0036】また、第五の方法として、寄生容量補償部と画素電極とを絶縁膜を挟んで重ねあわせ、重なり部分の静電容量によって補償を行う方法が提案されている。この方法によれば、第四の方法における問題は解決されるが、画素電極と信号線とが同層に形成される場合には適用することができない。

【0037】本発明は、以上のような従来の液晶表示装置における問題点を鑑みてなされたものであり、いかなるTFT層構造にも適用でき、また、製造工程上のばらつきとも無関係に、画素電極とそれに隣接する2本の信号線との間に発生する寄生容量の不均衡を最小限とすることができる画素構造を備え、不必要な輝度変動がなく、美しい表示が可能な液晶表示装置及びその製造方法を提供することを目的とする。

【0038】

【課題を解決するための手段】この目的を達成するため、本発明のうち、請求項1は、画素電極と、画素電極に隣接して画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置において、画素電極

は、第一及び第二の信号線と同時に露光形成された領域を第一及び第二の信号線と隣接する領域として有しており、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔は、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置を提供する。

【0039】請求項2は、画素電極と、画素電極に隣接して画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置において、画素電極は、第一及び第二の信号線と同時に露光形成された領域を第一及び第二の信号線と隣接する領域として有しており、第一及び第二の信号線の少なくとも何れか一方は、画素電極に向かって延びる突出部を有しており、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔は、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置を提供する。

【0040】請求項3は、画素電極と、画素電極に隣接して画素電極の一方の側に形成された薄膜トランジスタと、画素電極に隣接して画素電極の一方の側において延びる第一の信号線と、画素電極に隣接して画素電極の他方の側において延びる第二の信号線と、を備える液晶表示装置において、画素電極は、第一及び第二の信号線と同時に露光形成された領域を第一及び第二の信号線と隣接する領域として有しており、画素電極は、他方の側において、薄膜トランジスタによって第一の信号線が画素電極と隣接できない長さと同様の長さの切り欠き部が形成され、画素電極が第一の信号線と隣接する長さは画素電極が第二の信号線と隣接する長さと同様に設定されており、画素電極と第一の信号線との間の間隔は画素電極と第二の信号線との間の間隔に等しく設定されていることを特徴とする液晶表示装置を提供する。

【0041】請求項4は、所定の間隔だけずらして配置された複数の画素電極と、画素電極の各々に隣接して画素電極の両側において延び、かつ、画素電極の形状に沿って屈曲部を有する第一及び第二の信号線と、を備える液晶表示装置において、画素電極は、第一及び第二の信号線と同時に露光形成された領域を第一及び第二の信号線と隣接する領域として有しており、第一及び第二の信号線の少なくとも何れか一方は、画素電極に向かって延びる突出部を有しており、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔は、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように設定されていることを特徴とする液晶表示装置を提供する。

【0042】上記の液晶表示装置においては、請求項5に記載されているように、画素電極は第一及び第二の信

号線と同一の層内において形成することができる。あるいは、請求項6に記載されているように、画素電極は絶縁膜を介して第一及び第二の信号線と異なる層内において形成することも可能である。

【0043】請求項7は、画素電極と、画素電極に隣接して画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、透明基板及び走査線上にゲート絶縁膜を形成する過程と、走査線の上において、ゲート絶縁膜上にチャンネルを形成する過程と、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔が、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように第一及び第二の信号線を形成し、同時に、画素電極が第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、画素周縁部の内部に画素電極を形成する過程と、絶縁保護膜で全体を覆う過程と、を備えることを特徴とする液晶表示素子の製造方法を提供する。

【0044】請求項8は、画素電極と、画素電極に隣接して画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、透明基板及び走査線上にゲート絶縁膜を形成する過程と、走査線の上において、ゲート絶縁膜上にチャンネルを形成する過程と、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔が、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように、第一及び第二の信号線の少なくとも何れか一方が画素電極に向かって延びる突出部を有するように第一及び第二の信号線を形成し、同時に、画素電極が第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、画素周縁部の内部に画素電極を形成する過程と、絶縁保護膜で全体を覆う過程と、を備えることを特徴とする液晶表示素子の製造方法を提供する。

【0045】請求項9は、画素電極と、画素電極に隣接して画素電極の両側において延びる第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、透明基板及び走査線上にゲート絶縁膜を形成する過程と、走査線の上において、ゲート絶縁膜上にチャンネルを形成する過程と、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔が、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように、薄膜トランジスタによって第一及び第二の信号線の何れか一方が画素電極と隣接できない長さと同様の長さの切り欠き部を、画素電極の薄膜トランジスタと接していない側において、画素電極が第一及び第二の信号線と隣接する領域としての画素周縁

部に形成する過程と、画素周縁部の内部に画素電極を形成する過程と、絶縁保護膜で全体を覆う過程と、を備えることを特徴とする液晶表示素子の製造方法を提供する。

【0046】請求項10は、所定の間隔だけずらして配置された複数の画素電極と、画素電極の各々に隣接して画素電極の両側において延び、かつ、画素電極の形状に沿って屈曲部を有する第一及び第二の信号線と、を備える液晶表示装置の製造方法において、透明基板上に走査線を形成した後、透明基板及び走査線上にゲート絶縁膜を形成する過程と、走査線の上方において、ゲート絶縁膜上にチャネルを形成する過程と、画素電極が第一の信号線と隣接する長さ及び画素電極と第一の信号線との間の間隔が、画素電極が第二の信号線と隣接する長さ及び画素電極と第二の信号線との間の間隔にそれぞれ等しくなるように、第一及び第二の信号線の少なくとも何れか一方が画素電極に向かって延びる突出部を有するように第一及び第二の信号線を形成し、同時に、画素電極が第一及び第二の信号線と隣接する領域としての画素周縁部を形成する過程と、画素周縁部の内部に画素電極を形成する過程と、絶縁保護膜で全体を覆う過程と、を備えることを特徴とする液晶表示素子の製造方法を提供する。

【0047】上記の液晶表示素子の製造方法においては、画素電極と第一及び第二の信号線とは同一層内に形成されるが、異なる層内にそれぞれ形成することも可能である。この場合、請求項11に記載されているように、第一及び第二の信号線を形成し、絶縁保護膜で全体を覆った後に、画素周縁部の内部の領域の上方において、絶縁保護膜上に画素電極が形成される。

【0048】

【発明の実施の形態】（第1の実施形態）図1、図2及び図3は本発明に係る液晶表示装置の第一の実施形態を示す。図1は本実施形態に係る液晶表示装置におけるTFT基板の平面図、図2は図1のA-A'線に沿った断面図、図3は図1のB-B'線に沿った断面図である。

【0049】図1に示すように、本実施形態に係る液晶表示装置は、画素電極13と、画素電極13に隣接して画素電極13の両側において延びる第一の信号線11i及び第二の信号線11jと、画素電極13の一角において、画素電極13と第一の信号線11iとの間に形成された薄膜トランジスタ（TFT）14と、を備えている。

【0050】画素電極13は、その外縁を画定している領域である画素周縁部13aを備えており、この画素周縁部13aを介して第一の信号線11i及び第二の信号線11jとそれぞれ隣接している。画素周縁部13aは第一の信号線11i及び第二の信号線11jと同時に露光され、形成される。

【0051】第一の信号線11i及び第二の信号線11jと直交する方向に走査線12が延びており、薄膜トラ

ンジスタ14のゲート電極（図示せず）が走査線12に接続されている。

【0052】第一の信号線11iには、画素電極13に向かって延びる突出部11aが形成されている。この突出部11aは、画素電極13が第一の信号線11iと隣接する長さと同様に画素電極13が第二の信号線11jと隣接する長さとが等しくなるように、長さが決められている。すなわち、画素電極13が鉛直方向において第一の信号線11iと隣接する長さをLa、画素電極13が水平方向において突出部11aと隣接する長さをLb、画素電極13が鉛直方向において突出部11aと隣接する長さをLc、画素電極13が第二の信号線11jと隣接する長さをL、とすると、突出部11aは次の式を満足するように形成されている。

$$【0053】La+Lb+Lc=L \quad (1)$$

さらに、画素周縁部13aと第一の信号線11i（突出部11aを含む）及び第二の信号線11jとの間の間隔dは至るところで同一である。

【0054】本実施形態によれば、画素電極13と第一の信号線11iとの間に形成される寄生容量と、画素電極13と第二の信号線11jとの間に形成される寄生容量とが相互に等しくなり、これは製造工程に起因するばらつきの影響を受けない。

【0055】従って、本実施形態によれば、画素電極と各信号線との間の寄生容量における不均衡に起因する画素の輝度変動を防止でき、美しい表示を実現させることができる。

【0056】なお、本実施形態においては、第一の信号線11iに突出部11aを設けているが、第二の信号線11jに突出部11aを設けることもできる。あるいは、第一の信号線11iと第二の信号線11jの双方に突出部11aを設けることも可能である。

【0057】次いで、図2、図3及び図8を参照して、図1に示した液晶表示装置の製造方法について説明する。

【0058】図2に示すように、ガラス基板31上にメタルその他の導電材料からなる走査線パターン12を形成する（図8のステップ100）。

【0059】走査線パターン12をガラス基板31上に形成後、ガラス基板32及び走査線パターン12の全面に窒化シリコン等の絶縁材料からなるゲート絶縁膜32を形成する（図8のステップ110）。

【0060】次に、トランジスタのチャネルとなる非結晶シリコン層33を走査線パターン12の上方に形成し（図8のステップ120）、後に形成するドレイン電極14a及びソース電極14bとチャネル部との電気的接触のため、コンタクト層35を非結晶シリコン層33上に形成する（図8のステップ130）。

【0061】次いで、メタル材料その他の導電材料からなる第一の信号線11i（図2参照）及び第二の信号線



11j (図3参照)を形成する。第一の信号線11i又は第二の信号線11jの何れか一方、あるいは、それらの双方には、後に形成される画素電極13と隣接する長さが双方の信号線11i、11jにおいて等しくなるように、すなわち、前述の式(1)が成り立つように、突出部11aが形成される(図8のステップ140)。

【0062】また、画素電極13が第一の信号線11i及び第二の信号線11jと隣接する領域としての画素周縁部13a、ドレイン電極14a及びソース電極14bを第一の信号線11i及び第二の信号線11jと同時に形成する(図8のステップ140)。

【0063】画素周縁部13aは、画素周縁部13aと各信号線11i、11jとの間の間隔dが一定になるように、形成される。

【0064】画素周縁部13aとソース電極14bは、この時点では接続していても、そうでなくてもよい。

【0065】次いで、画素周縁部13aの内側において、画素周縁部13aに接するように、ITO等の透明導電材料からなる画素電極13を形成する(図8のステップ150)。画素電極13は、画素周縁部13a及びソース電極14bと電気的に接続するように、また、画素周縁部13aよりも各信号線11i、11jから遠くなるように形成する。

【0066】コンタクト層35はドレイン電極14aとソース電極14bの双方にわたって延びており、このままでは、コンタクト層35を介してドレイン電極14aとソース電極14bが常に導通状態となってしまうので、ドレイン電極14aとソース電極14bとの間のコンタクト層35aを部分的に除去する(図8のステップ160)。

【0067】次いで、全面にわたって窒化シリコン等の絶縁材料からなる絶縁保護膜36を形成する(図8のステップ170)。絶縁保護膜36は、図の簡略化のため、図2には示さない。

【0068】最後に、必要のない部分の絶縁保護膜36を除去し(図8のステップ180)、本実施形態に係る液晶表示装置のTFT基板が完成する。

【0069】本実施形態によれば、画素電極13と第一の信号線11iとの間に形成される寄生容量と、画素電極13と第二の信号線11jとの間に形成される寄生容量が、設計上全く同一となる。

【0070】また、図11に示した従来の液晶表示装置においては、画素電極13と各信号線11i、11jとを別々に露光形成する際に起こり得るマスクアライメントずれに起因して、画素電極13と第一の信号線11iとの間の間隔d<sub>i</sub>と、画素電極13と第二の信号線11jとの間の間隔d<sub>j</sub>とが異なる値となる場合があるが、本実施形態によれば、このマスクアライメントずれの影響を全く受けることはなく、両者の寄生容量は常に等しい。

【0071】従って、画素電極13と各信号線間11i、11jとの間の寄生容量の不均衡に起因する画素の輝度変動を防止することができ、美しい表示を実現することができる。

【0072】なお、本実施形態は、本発明をボトムゲート構造をなすチャネルエッチ型非結晶シリコンTFTに適用した場合について述べたが、本発明はこの構造に限定されるものではなく、例えば、チャネル保護型の非結晶シリコンTFT又は多結晶シリコンTFTに適用することも可能である。

【0073】また、駆動素子にMIMその他の非線型素子を用いた液晶表示装置に適用することも可能である。(第2の実施形態)図4は本発明の第2の実施形態に係る液晶表示装置におけるTFT基板の平面図、図5は図4のB-B'線に沿った断面図である。

【0074】本実施形態に係る液晶表示装置の構造は基本的に第1の実施形態に係る液晶表示装置と同じであるが、本実施形態に係る液晶表示装置においては、絶縁保護膜36の形成及びその不必要な部分の除去後に画素電極13が形成されている。すなわち、第一の実施形態においては、図2及び図3に示すように、画素電極13と各信号線11i、11jとは同一層内に形成されているが、本実施形態においては、図5に示すように、画素電極13と各信号線11i、11jとは異なる層にそれぞれ形成されている。

【0075】図5は、絶縁保護膜36の厚み方向を誇張して描いているが、一般的に、絶縁保護膜36の厚さは50nm程度であり、画素周縁部13aと各信号線11i、11jとが短絡せずに形成できる間隔の限界は一般的に3乃至4μm(すなわち、3,000nm乃至4,000nm)程度であることから、画素電極13と各信号線11i、11jが絶縁保護膜36を介してそれぞれ異なる層に形成されている場合であっても、第1の実施形態と同様の効果を得ることができる。

【0076】なお、図示されていないが、画素電極13と画素周縁部13aとは適当な箇所において電気的に接続されている。

【0077】図9は本実施形態に係る液晶表示装置を製造する方法のフローチャートの一部である。

【0078】ステップ140までは、第一の実施形態に係る液晶表示装置の製造方法の場合と同一である。本実施形態に係る液晶表示装置の製造方法の場合においては、ステップ140の後に、ドレイン電極14aとソース電極14bとの間のコンタクト層35aを部分的に除去する(ステップ190)。

【0079】次いで、全面にわたって窒化シリコン等の絶縁材料からなる絶縁保護膜36を形成し(ステップ200)、必要のない部分の絶縁保護膜36を除去する(ステップ210)。

【0080】次いで、図5に示すように、画素周縁部1

3aの内側に位置するように、絶縁保護膜36上にITO等の透明導電材料からなる画素電極13を形成する(ステップ220)。画素電極13は、画素周縁部13a及びソース電極14bと電氣的に接続するように、また、画素周縁部13aよりも各信号線11i、11jから遠くなるように形成する。

【0081】このようにして、本実施形態に係る液晶表示装置のTFT基板が完成する。

(第3の実施形態)図6は本発明の第3の実施形態に係る液晶表示装置におけるTFT基板の平面図である。本実施形態に係る液晶表示装置が図1に示した第一の実施形態に係る液晶表示装置と異なる点は、第一の信号線11iに形成された突出部11aに代えて、画素電極13及び画素周縁部13aに切り欠き15が形成されている点である。

【0082】図6に示すように、切り欠き15は、TFT14が形成されていない側の第二の信号線11jと隣接する領域の端部において形成されている。

【0083】切り欠き15の長さは、TFT14が存在するために第一の信号線11iが画素電極13と隣接できない長さに等しく設定されている。従って、画素電極13と第一の信号線11iとが隣接する長さL1と、画素電極13と第二の信号線11jとが隣接する長さL2とは等しくなっている( $L1=L2$ )。

【0084】また、第1の実施形態の場合と同様に、画素電極13と各信号線11i、11jとを同層に形成してもよく、あるいは、第2の実施形態の場合と同様に、それぞれ異なる層に形成してもよい。何れの場合も等しく実施可能であり、同様の効果を得ることができる。

【0085】本実施形態に係る液晶表示装置の製造方法においては、図8に示した第一の実施形態に係る液晶表示装置の製造方法におけるステップ140に代えて、ステップ140aが実施される。他のステップ100乃至130及び150乃至180は同様に実施される。

【0086】ステップ140aにおいては、第一の信号線11i及び第二の信号線11jが形成されるとともに、TFT14が形成されていない側の第二の信号線11jと隣接する領域の端部に切り欠き15を有する画素周縁部13aが形成される。切り欠き15の長さは、画素電極13と第一の信号線11iとが隣接する長さL1と、画素電極13と第二の信号線11jとが隣接する長さL2とは等しくなるように( $L1=L2$ )、設定される。

【0087】さらに、ドレイン電極14a及びソース電極14bも同時に形成される。

【0088】なお、ステップ150において、画素電極13を形成する際には、画素周縁部13aに形成された切り欠き15に合わせて、画素電極13にも切り欠き15が形成される。

【0089】本実施形態に係る液晶表示装置において

も、画素電極13と各信号線11i、11jとをそれぞれ異なる層に形成することができ、その場合には、図9に示した第二の実施形態の場合と同様の順序で各ステップが実施される。

(第4の実施形態)図7は本発明の第4の実施形態に係る液晶表示装置におけるTFT基板の平面図である。本実施形態における画素電極13の配列は、走査線12ごとに画素電極13を半ピッチずらして配置した、いわゆるデルタ配列である。デルタ配列の液晶表示装置においては、図7に示すように、画素電極13を避けて各信号線11i、11jを配置する必要があるため、各信号線11i、11jは画素電極13の形状に合わせて屈曲部を有している。

【0090】このため、通常は、画素電極13と第一の信号線11iとが隣接する長さL1と、画素電極13と第二の信号線11jとが隣接する長さL2とは著しく異なり、その結果、画素電極13の電位が信号線の電位に大きく影響される。

【0091】これに対して、本実施形態においては、第二の信号線11jに、画素電極13に向かって延びる突出部11aを設けることによって、両者の隣接長さL1、L2を同一の値とし( $L1=L2$ )、さらに、画素周縁部13aを各信号線11i、11jと同時に露光形成することにより、信号線の電位による影響を低減することができる。

【0092】なお、本実施形態においても、上述の実施形態の場合と同様に、画素電極13と各信号線11i、11jとを同層に形成することができ、その場合には、図8のフローチャートに示した順序で各ステップが実行される。また、画素電極13と各信号線11i、11jとをそれぞれ異なる層に形成することもでき、その場合には、図9のフローチャートに示した順序で各ステップが実行される。

【0093】

【発明の効果】本発明によれば、画素電極と各信号線との間に形成される各寄生容量を等しい値に設定することが可能である。

【0094】また、従来の液晶表示装置においては、画素電極と各信号線とを別々に露光形成する際に起こり得るマスクアライメントずれに起因して、画素電極と各信号線との間の間隔が異なってしまうことがあったが、本発明によれば、マスクアライメントずれの影響を全く受けることはなく、両者の寄生容量は常に等しく維持することができる。

【0095】従って、画素電極と各信号線との間の寄生容量の不均衡に起因する画素の輝度変動を防止することができ、美しい液晶表示を実現することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施形態に係る液晶表示装置におけるTFT基板の平面図である。

【図2】図1のA-A'線に沿った断面図である。

【図3】図1のB-B'線に沿った断面図である。

【図4】本発明の第二の実施形態に係る液晶表示装置におけるTFT基板の平面図である。

【図5】図4のB-B'線に沿った断面図である。

【図6】本発明の第三の実施形態に係る液晶表示装置におけるTFT基板の平面図である。

【図7】本発明の第四の実施形態に係る液晶表示装置におけるTFT基板の平面図である。

【図8】本発明の第一、第三及び第四の実施形態に係る液晶表示装置の製造方法のフローチャートである。

【図9】本発明の第二の実施形態に係る液晶表示装置の製造方法の部分的なフローチャートである。

【図10】アクティブ・マトリクス型の液晶表示装置における1画素分の等価回路図である。

【図11】従来の液晶表示装置における1画素分の平面図である。

【図12】ゲートライン反転駆動において、ある表示更新周期(A)とその次の表示更新周期(B)における面内の画素電極の極性の変遷の状態を示す平面図である。

【図13】ドレインライン反転駆動において、ある表示更新周期(A)とその次の表示更新周期(B)における面内の画素電極の極性の変遷の状態を示す平面図であ

る。

【図14】ドット反転駆動において、ある表示更新周期(A)とその次の表示更新周期(B)における面内の画素電極の極性の変遷の状態を示す平面図である。

【符号の説明】

11 i 第一の信号線

11 j 第二の信号線

12 走査線

13 画素電極

13 a 画素周縁部

14 薄膜トランジスタ

14 a ドレイン電極

14 b ソース電極

14 c ゲート電極

15 切り欠き

16 i、16 j 寄生容量

31 ガラス基板

32 液晶容量

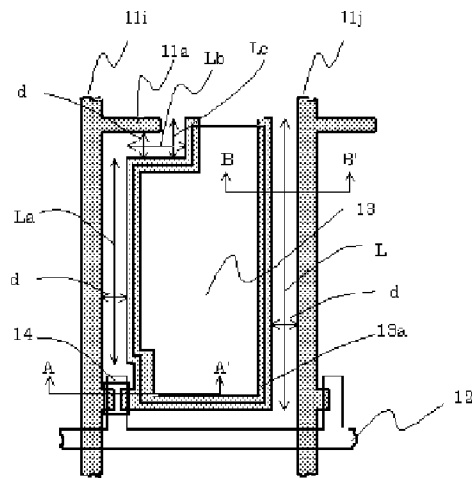
33 対向電極

34 補助容量

35 コンタクト層

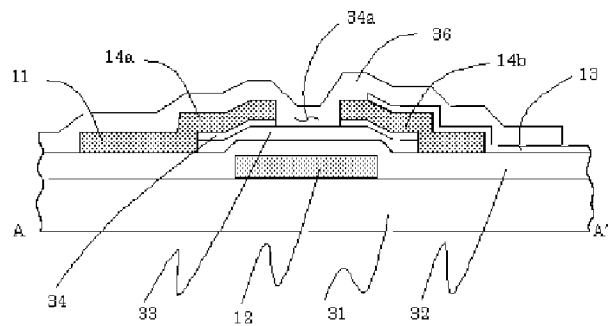
36 絶縁保護膜

【図1】



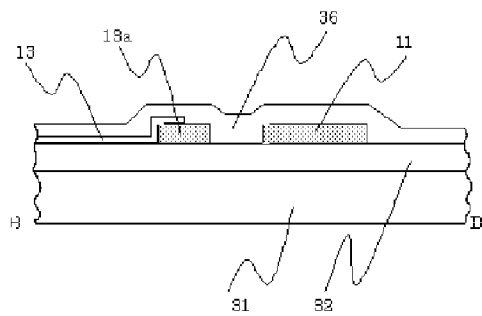
- |             |            |
|-------------|------------|
| 11a: 突出部    | 13: 画素電極   |
| 11i: 第一の信号線 | 13a: 画素周縁部 |
| 11j: 第二の信号線 | 14: TFT    |
| 12: 走査線     |            |

【図2】



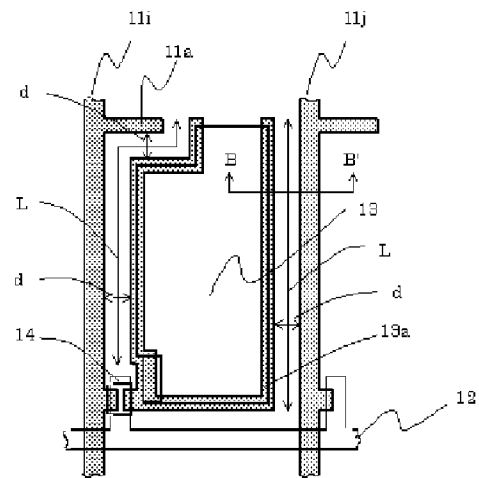
- |              |                  |
|--------------|------------------|
| 11 i: 第一の信号線 | 31: ガラス基板        |
| 12: 走査線      | 32: 液晶容量         |
| 13: 画素電極     | 33: 対向電極         |
| 14a: ドレイン電極  | 35: コンタクト層       |
| 14b: ソース電極   | 35a: コンタクト層の不要部分 |
|              | 36: 絶縁保護膜        |

【図3】



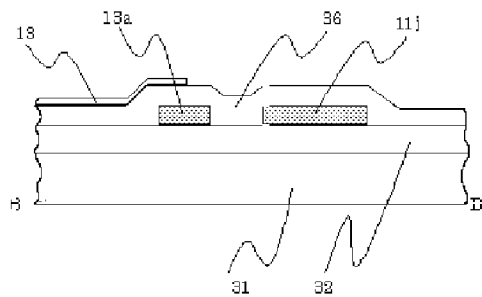
11j: 第二の信号線  
13a: 画素周縁部  
13: 画素電極  
31: ガラス基板  
32: 液晶容量  
36: 絶縁保護膜

【図4】



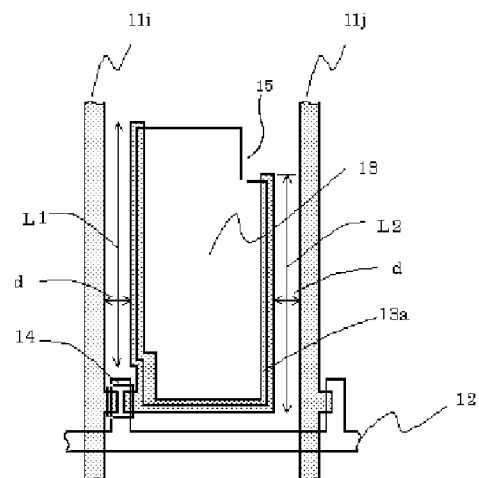
11a: 突出部  
11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
13a: 画素周縁部  
14: TFT

【図5】



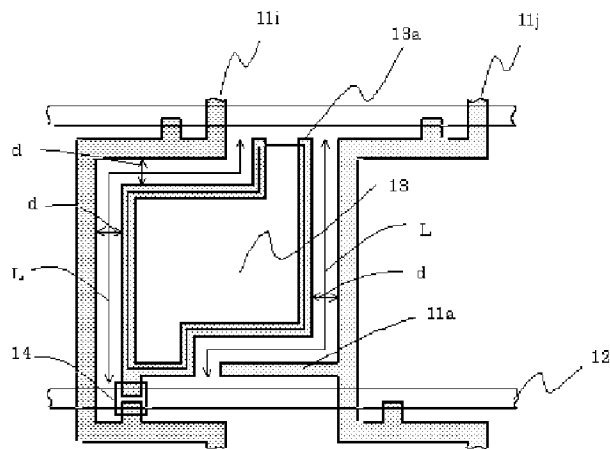
11j: 第二の信号線  
13a: 画素周縁部  
13: 画素電極  
31: ガラス基板  
32: 液晶容量  
36: 絶縁保護膜

【図6】



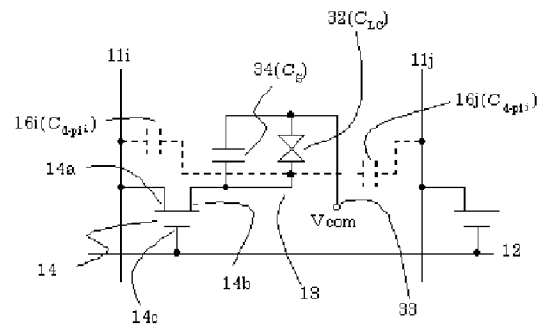
11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
13a: 画素周縁部  
14: TFT  
15: 切り欠き

【図7】



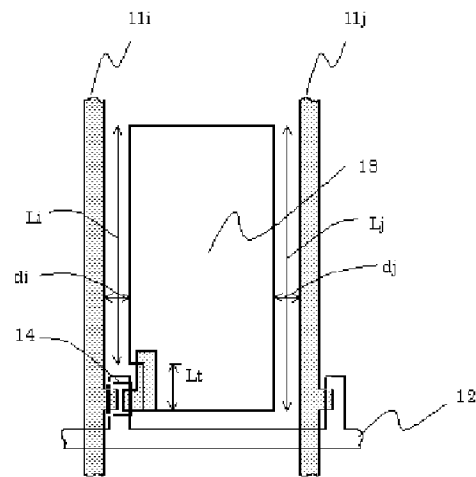
11a: 突出部  
11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
13a: 画素周縁部  
14: TFT

【図10】



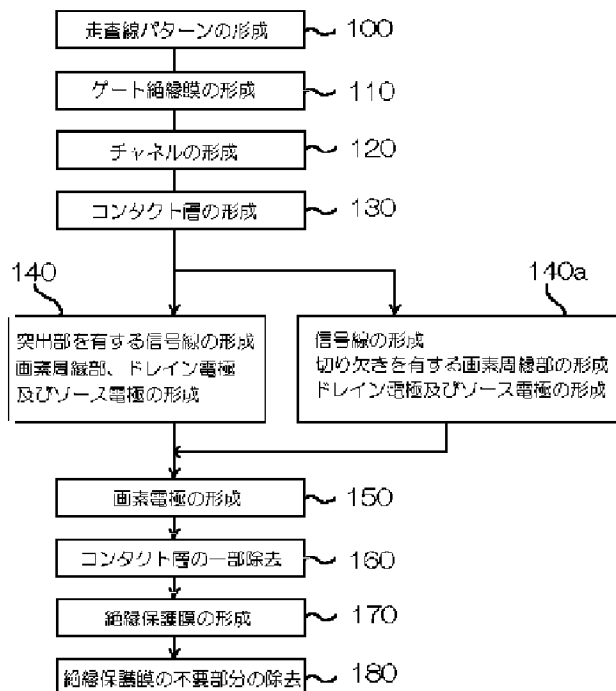
11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
14: TFT  
14a: ドレイン電極  
14b: ソース電極  
14c: ゲート電極  
16i: 寄生容量  
16j: 寄生容量  
32: 液晶容量  
39: 対向電極  
34: 補助容量

【図11】

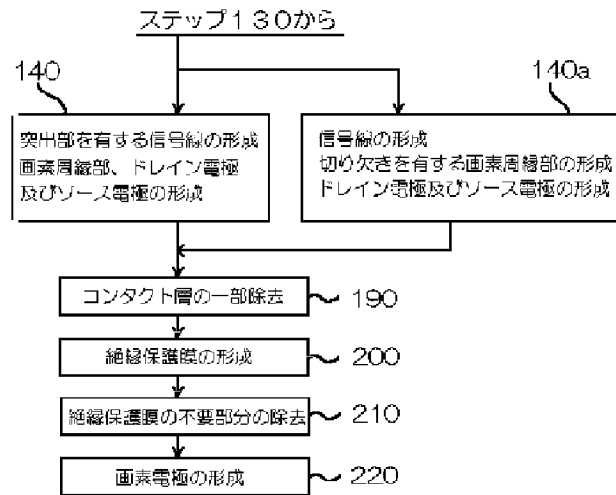


11i: 第一の信号線  
11j: 第二の信号線  
12: 走査線  
13: 画素電極  
13a: 画素周縁部  
14: TFT

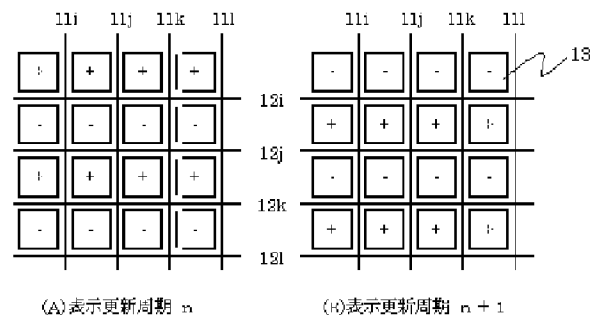
【図8】



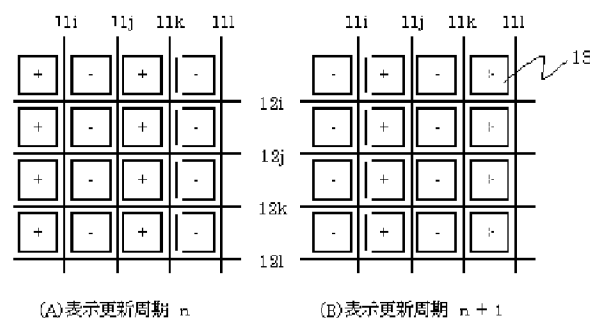
【図9】



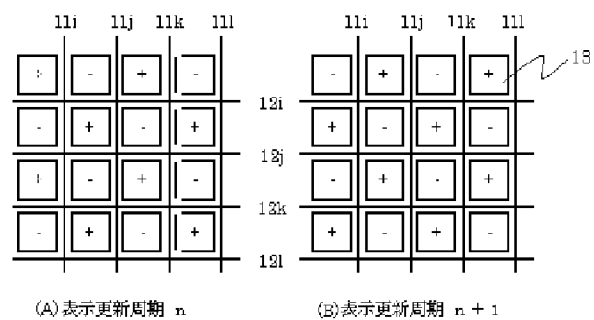
【図12】



【図13】



【図14】



フロントページの続き

F ターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44  
 JB13 JB23 JB32 JB33 JB38  
 JB54 JB63 JB69 KA05 KA07  
 KB14 KB24 MA05 MA08 MA14  
 MA15 MA16 MA18 MA19 MA20  
 NA25 NA27 NA29 PA06  
 5C094 AA03 AA25 BA03 BA43 DA14  
 DA15 EA04 EA07 GB01